

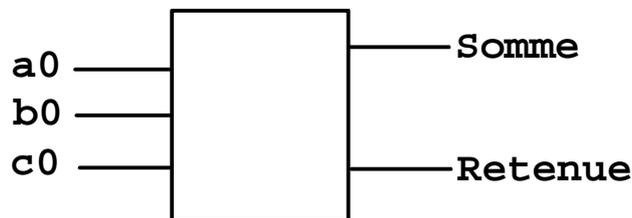
ETUDE DES PALs : STRUCTURE INTERNE

Synthèse d'équations logiques.

Déterminer à l'aide des caractéristiques des PALs fournies en annexes si les équations logiques proposées sont synthétisables :

Equation 1 : $F = a \oplus b \oplus c$

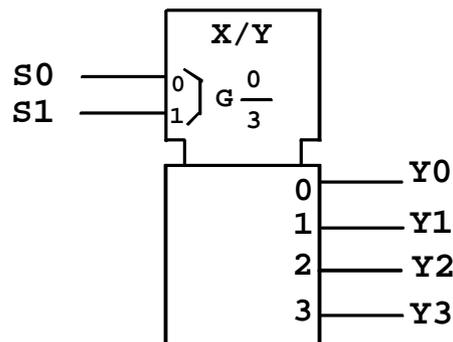
Equation 2 : Additionneur de deux fois 1 bit avec retenue



Equation 3 : Reproduire le fonctionnement d'une bascule JK synchrone, la table d'excitation est donnée ci-dessous :

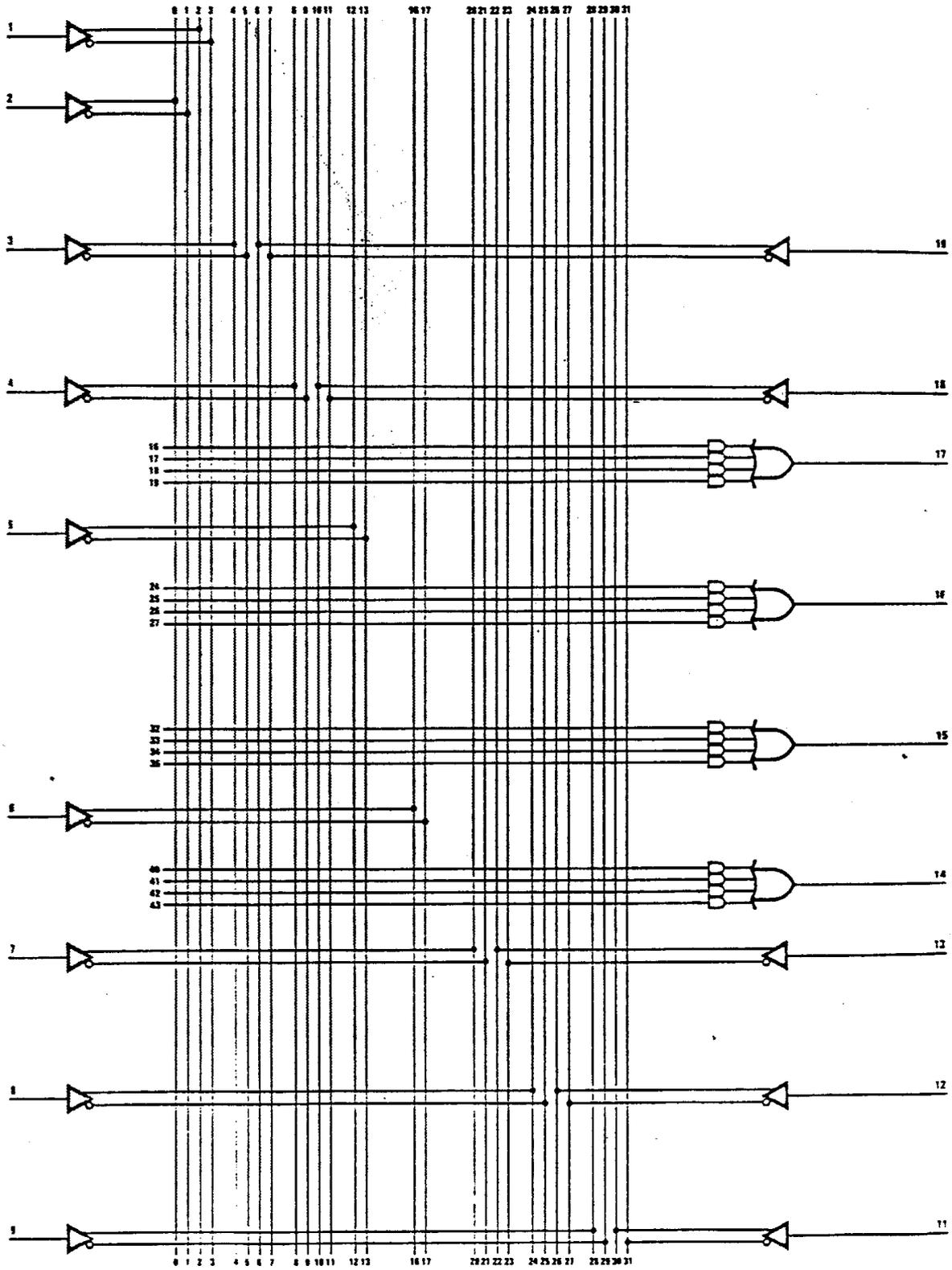
J	K	CLK	Q
1	0	↑	1
0	1	↑	0
0	0	↑	Q
1	1	↑	/Q

Equation 4 : Synthèse d'un décodeur 1 parmi 4

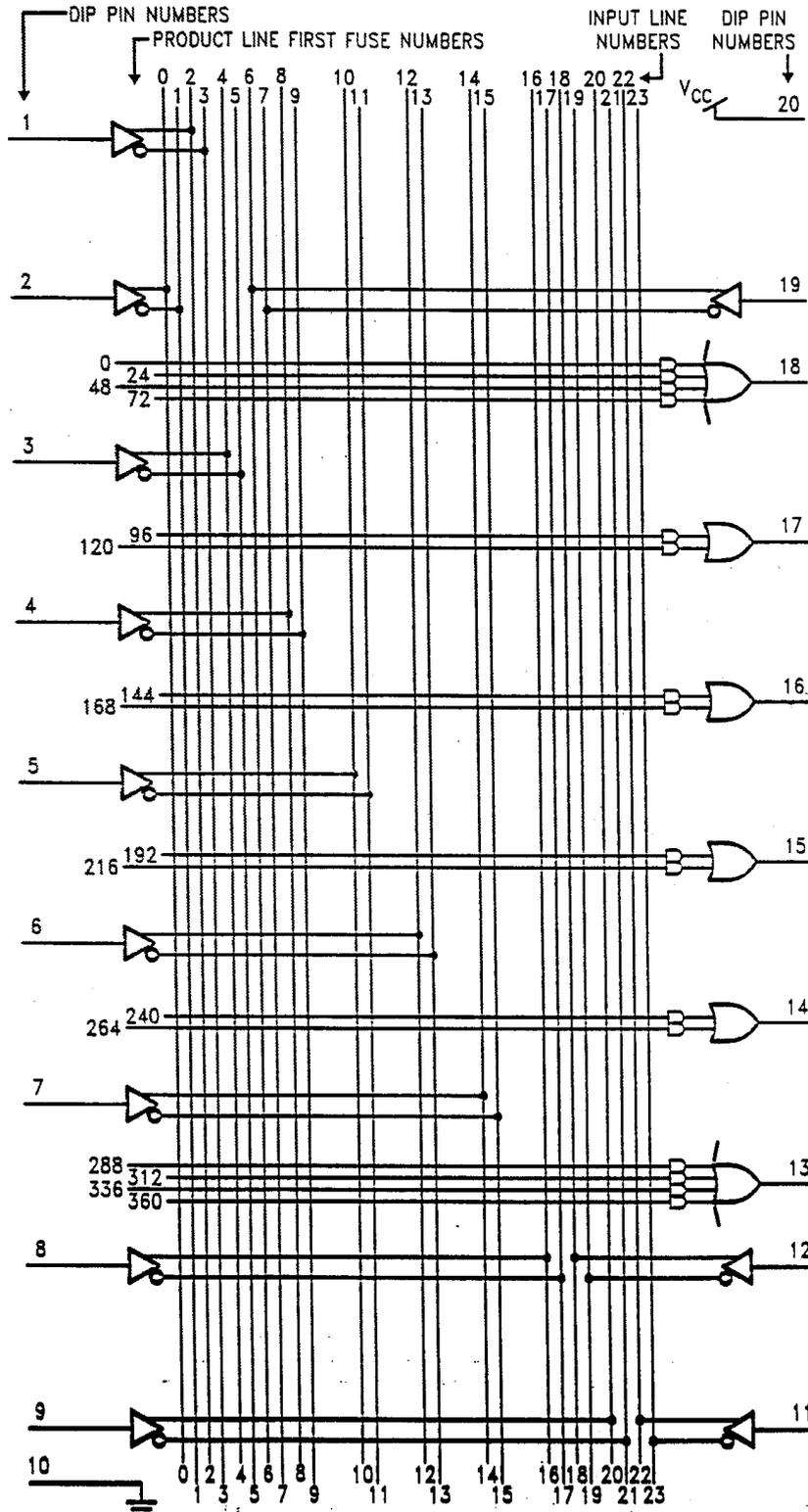


Logic Diagram

14H4



Logic Diagram PAL12H6



Note: JEDEC Logic Array Fuse Number = Product Line First Fuse Number + Input Line Number.

TL/L/9995-17

16R4

